

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(11) Publication No.: 1998-014002

(43) Publication Date: 15 May 1998

(21) Application No.: 1996-032761

(22) Application Date: 6 August 1996

(51) IPC Code:

G11B 20/18

(71) Applicant:

Samsung Electronics Co., Ltd.

416 Maetan-dong, Paldal-gu, Suwon-City, Kyunggi-do, Korea

(72) Inventor:

LEE, YUN WOO

(54) Title of the Invention:

Error Correction Apparatus and Method for Digital Processing System

Abstract:

In a digital processing system including two decoders to performing error correction, each decoder corrects errors and erasures.

To achieve the above object, an error correction apparatus for the digital processing system according to an embodiment of the present invention includes a demodulator which demodulates channel data into source data and generates error flags when errors occur during the demodulation, a sync detector which receives the demodulated data and the error flags and detects a sync signal for dividing data into error correctable code units, a first decoder which decodes the demodulated data and the error flags in row units in response to the sync signal to correct errors and erasures, and a second decoder which decodes the demodulated data and the error flags in column units in response to the sync signal to correct errors and erasures.

출력 일자: 2002/5/2

발송번호 : 9-5-2002-015506892

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2002.04.30

층

제출기일 : 2002.06.30

이영필 귀하

137-874

특허청 의견제출통지서

02.5.02

3713

출원인 명칭 삼성전자 주식회사 (출원인코드: 119981042713)

주소 경기 수원시 팔달구 매탄3동 416

대리인 성명 이영필 외 2 명

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층

출원번호 10-2000-0031663

발명의 명칭 EFM/EFM+ 디코딩에 의해 검출된 에러위치를 이용한 C1/P1 워드의 에러정정 방법 및 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제5항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

이 출원의 특허청구범위 제 1-8항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제 29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

청구항 5는 장치를 청구하고 있으나, 그 종속항인 청구항 6, 7, 8은 방법을 청구하고 있어 카테고리 불분명합니다.

청구항 1-8의 발명은 채널 디코딩시에 확인되는 에러위치를 에러정정에 이용하여 에러와 이레이저가 혼재하는 코드워드에 대해서도 에러위치를 이용하여 에러정정할 수 있도록 하는 채널 디코딩 및 에러정정방법과 장치에 관한 것으로, EFM+를 이용하여 복조한 데이터에 대해 에러 플래그를 발생하게 하여 두 개의 C1, C2 복호부에서 에러 및 이레이저를 정정함으로써 에러 정정 효율을 향상시키는 에러정정장치에 관한 발명인 한국공개특허공보 1998-14002호(인용발명1)과, EFM 복조를 하는 동안 각 부호어별로 신드롬을 계산하여 이레이저 플래그를 설정하고, EFM 복조가 완료된 후 상기 이레이저 플래그를 사용하여 에러 정정 복호화를 수행하는 방법 및 장치에 관한 발명인 한국공개특허공보 1999-85529호(인용발명2)로부터 용이하게 발명할 수 있는 것으로 판단됩니다.

[첨부]

첨부 1 인용발명1

첨부2 인용발명2 끝.

출력 일자: 2002/5/2

2002.04.30

특허청

심사4국

전자 심사담당관실

심사관 나용수



<<안내>>

문의사항이 있으시면 ☎ 042)481-5680 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 특1998-014002
G11B 20/18 (43) 공개일자 1998년 05월 15일

(21) 출원번호 특1996-032761
(22) 출원일자 1996년 08월 06일
(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416
(72) 발명자 이윤우
경기도 수원시 팔달구 우만동 주공아파트 208-1206
(74) 대리인 이건주

심사청구 : 있음

(54) 디지털 처리시스템의 에러정정장치 및 방법

요약

2개의 복호기를 구비하여 에러 정정 기능을 수행하는 디지털 처리 시스템에서 각 복호기들이 에러 및 이레이저를 정정한다.

위와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 디지털 처리 시스템의 에러 정정장치는, 채널 데이터를 소스 데이터로 복조하며 복조시 에러 발생시 에러플래그를 발생하는 복조부와, 복조데이터 및 에러플래그를 입력하며 에러 정정 가능한 코드 단위로 데이터를 구분하기 위한 동기신호를 검출하는 동기검출부와, 동기신호에 행 단위로 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 정정하는 제1복호기와, 동기신호에 의해 열 단위로 상기 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 복호하는 제2복호기로 구성된다.

도표도

도5

명세서

도면의 간단한 설명

도 1은 디지털 기록/재생 시스템의 신호 처리 계통을 도시하는 도면
도 2는 도 1에서 에러정정 장치의 종래 구성을 도시하는 도면
도 3은 도 2에 도시된 복조부의 종래 구성을 도시하는 도면
도 4는 디지털 기록/재생 시스템에서 사용되는 블록 코드의 구성을 도시하는 도면
도 5는 디지털 처리 시스템에서 본 발명의 실시예에 따른 에러정정 장치의 구성을 도시하는 도면
도 6은 도 5에서 본 발명의 실시예에 따른 복조부의 구성을 도시하는 도면

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털 처리 시스템의 에러정정 장치 및 방법에 관한 것으로, 특히 이레이저 및 에러를 동시에 정정할 수 있는 장치 및 방법에 관한 것이다.

통상적으로 디지털 데이터를 전송하는 시스템에서는 전송하고자 하는 데이터를 변조(modulation) 및 부호화(coding)하여 송신하고, 수신하는 시스템에서는 수신 데이터를 복조(demodulation) 및 복호화(decoding)하여 처리한다. 또한 디지털 데이터를 기록 및 재생하는 시스템에서는 기록 데이터를 변조 및 부호화하여 기록 매체에 저장하고, 기록된 데이터를 재생할 시 변조 및 부호화된 데이터를 역으로 복조 및 복호화하여 재생한다. 본 발명의 실시예에서는 상기 디지털 처리 시스템을 디지털 기록/재생 시스템으로 가정하여 설명한다.

상기 디지털 기록/재생 시스템에서는 기록된 데이터를 재생하는 경우, 복호 과정에서 재생시 발생할 수 있는 에러를 정정하여 정확한 데이터를 재생할 수 있도록 한다. 도 1은 상기 디지털 기록/재생 시스템에서 기록 데이터를 데이터를 재생하는 신호 처리 계통의 블록 구성을 도시하고 있다.

상기 도 1을 참조하면, 헤드111은 채널 A(channel A)의 기록/재생 헤드를 나타내며, 헤드131은 채널 B(channel B)의 기록/재생 헤드를 나타낸다. 따라서 채널 A에 데이터를 액세스하여 재생하는 111-122의 구성과 채널 B의 데이터를 액세스하여 재생하는 131-142의 구성은 동일한 형태를 갖는다. 따라서 설명의 편의를 위해 채널 A의 경로를 통해 기록된 데이터를 재생하는 경로를 중심으로 설명한다. 먼저 채널 A의 헤드111은 기록 매체에서 데이터를 리드하며, 증폭부112는 상기 헤드111에서 리드되는 신호를 증폭 출력한다. PLL(Phase Lock Loop)은 상기 증폭된 신호에서 클럭을 재생하여 데이터와 함께 복조부(demodulator)114에 출력한다. 상기 복조부114는 수신되는 직렬 데이터를 병렬 데이터로 변환한 후, 기록시 변조된 상태의 데이터를 원래의 8비트 데이터로 복조하여 출력한다. 그러면 동기검출부(sync detector)116은 상기 병렬 데이터의 연속된 데이터 열에서 동기신호를 검출하며, 오류 정정부인 C2복호부117 및 C1복호부118은 상기 동기검출부117에서 출력되는 동기검출신호에 따라 수신되는 데이터의 오류를 정정한다. 여기서 상기 오류의 종류에는 오류 데이터의 위치를 알고 있는 이레이저(eraser)와 오류 데이터의 위치를 알지 못하는 에러가 있다. 상기 C2복호부117 및 C1복호부118의 동작은 도 2에서 상세히 살펴보기로 한다. CRC부119는 상기 복조부117 및 118에서 오류 정정된 데이터가 정상적으로 정정되었는지 확인하며, TBC부120은 상기 CRC부119에서 출력되는 데이터에 포함된 지터 부분을 제거한다. 디서플링부(desuffling part)121은 상기 TBC부120에서 출력되는 데이터를 원래의 데이터 포맷으로 재정렬하고, 컨실먼트부(concealment part)부122는 상기 재정렬된 데이터에서 오류 정정이 되지 않은 데이터를 사람이 느끼지 못하도록 원래의 데이터와 유사한 값으로 변환 출력한다. 멀티플렉서(multiplexer)151은 상기 A채널의 컨실먼트부122 및 B채널의 컨실먼트부142에서 출력되는 데이터를 다중화하여 출력하며, D/A변환기(Digital to Analog Converter) 152는 상기 다중화되는 데이터를 아날로그 신호로 변환 출력하고, LPF부153은 상기 아날로그 신호를 음성신호 대역으로 저역 여파하여 출력한다.

도 2는 상기 도 1에서 오류 정정 기능을 수행하는 제1통의 구성을 도시하는 도면이다. 상기 도 2는 A 채널의 114-118 및 B 채널의 134-138의 구성이 되며, 여기서는 상기 A 채널의 구성을 중심으로 살펴본다.

상기 도 2를 참조하면, 복조부114는 상기 A 채널의 헤드111에서 재생되는 직렬 데이터를 입력하여, 입력된 직렬 데이터를 8비트의 병렬 데이터로 변환하며, 기록시 변조된 데이터를 원래의 데이터로 복조하여 출력한다. 상기과 같은 동작을 수행하는 종래의 복조부114는 도 3과 같이 구성된다. 여기서 상기 기록매체에 기록되는 데이터의 변조코드(modulation code)는 8비트 데이터를 16비트로 변환하는 EFM 플러스 코드(Eight to Sixteen Modulation plus code)를 사용한다고 가정한다. 상기 도 3을 참조하면, 먼저 직렬 변환기(Serial to Parallel Converter)311은 직렬클럭S_CLK에 의해 재생되는 직렬 데이터를 입력하며, 병렬클럭P_CLK에 의해 입력된 데이터를 8비트의 병렬 데이터로 변환 출력한다. 상기 메모리제어부312는 상기 병렬클럭P_CLK에 의해 상기 직렬변환부311에서 출력되는 8비트 병렬 데이터를 입력하며, 입력된 8비트의 병렬 데이터들을 16비트의 병렬 데이터로 재 정렬하여 출력하고, 상기 16비트 병렬 데이터에 동기되는 리드제어신호(memory read enable signal)를 발생한다. 롬313은 복조 데이터 테이블(demodulation data table)을 구비하며, 상기 메모리제어부312에서 출력되는 16비트 데이터를 어드레스로 입력한다. 이때 상기 2¹⁶개의 가능한 코드워드 중에서 2⁸개의 코드워드를 사용하므로, 상기 롬313에서 저장되는 복조데이터 테이블에는 2⁸개의 올바른 변환 데이터가 저장되며, 나머지 영역에는 0 또는 FF가 저장된다. 따라서 상기 롬313은 상기 메모리제어부312에서 출력되는 16비트의 데이터를 어드레스로 입력하며, 상기 메모리제어부312에서 리드제어신호 신호 발생시 활성화되어 해당하는 어드레스 위치에 저장된 데이터를 리드하여 래치314에 출력한다. 상기 래치314는 상기 병렬클럭P_CLK에 의해 상기 롬313에서 출력되는 복조데이터를 래치하여 동기검출부116에 출력한다. 따라서 상기 복조부114는 상기 기록매체에서 재생된 16비트의 변조데이터를 원래의 8비트 데이터로 복조하는 기능을 수행한다.

상기 동기검출부116은 상기 복조부114에서 출력되는 복조데이터의 동기를 검출하여 동기 검출된 데이터를 발생한다. C2복호부117은 상기 동기검출된 데이터에서 에러를 정정하며, 에러정정이 이루어지지 않은 데이터에는 해당 데이터와 에러 플래그를 발생한다. C1복호부118은 상기 C2복호부117의 출력을 입력하며, 에러 데이터 및 이레이저 데이터를 정정하여 최종적으로 오류가 정정된 데이터를 출력한다. 여기서 상기 C2복호부117 및 C1복호부118은 Advanced Hardware Architectures사에서 제조 및 판매하는 REED-SOLOMON ECC COPROCESSOR IC인 AHA4310, AHA4510, AHA4810, AHA4010을 사용할 수 있다.

상기와 같은 구성을 참조하여 종래의 에러 정정 동작을 살펴보면, 디지털 형태로 변환되어 기록/재생 또는 전송되는 데이터는 처리 과정에서 외부의 영향으로 인해 데이터의 에러가 발생된다. 이런 에러에 대한 대응책으로서 보통 에러정정코드(Error Correction Code: ECC)를 사용하여 데이터에 발생한 에러를 정정하게 된다. 여기서 에러라는 용어는 일반적인 에러와 에러플래그가 없는 에러를 의미하며, 이레이저라는 용어는 에러플래그에 의해 에러가 있음을 알 수 있는 에러를 의미한다. 여기서는 상기과 같은 에러정정코드로서 C1코드 및 C2코드를 사용한다고 가정한다. 현재 대부분의 디지털 기록/재생 장치에서 사용되고 있는 오류정정코드로서는 리드 솔로몬 코드이다. 상기과 같은 리드 솔로몬 코드를 사용하는 디지털 처리시스템에서는도 4에 도시된 바와 같은 블록코드 단위로 에러 정정 기능을 수행한다. 즉, 블록코드 단위로 복조데이터를 복호할 시 C2복호부117은 블록코드의 행 단위 데이터의 에러를 정정하며, C1복호부118은 블록 코드의 열 단위 데이터의 에러를 정정한다. 즉, 에러 정정시 먼저 행 단위로 데이터와 C2코드를 분석하여 에러를 정정하고, 이후 열 단위로 데이터와 C1코드를 분석하여 에러를 정정한다.

먼저 채널에 맞게 변환된 데이터는 복조부114에서 소스 데이터(source data)로 변환되며, 이렇게 변환되는 데이터 스트림(data stream)은 이런 데이터 스트림 내부에서 발생하는 에러를 정정하기 위하여 C2복호부117에 입력된다. 그러면 상기 C2복호부117은 디코딩 동작을 수행하여 에러가 발생한 데이터를 정정하게 된다. 이때 상기 에러 정정 과정에서 한 코드 안에 에러가 없거나 또는 정정 가능한 에러가 발생하였을 경우에는 에러를 정정하여 정정된 데이터를 출력하며, 정정하지 못할 정도의 에러가 발생하였을 경우에는 원래의 데이터와 함께 에러플래그를 상기 C1복호부118에 전달한다. 그러면 상기 C1복호부118은 상기 C2복호부117에서 출력되는 데이터와 에러플래그를 이용하여 디코딩을 수행하며, 이때의 디코딩은 에러와 이레이저를 포함하여 수행한다. 일반적으로 리드-솔로몬 코드는 부가 정보의 1/2 만큼의 에러를 정정할 수 있으며, 이레이저 정정일 경우 부가정보의 길이 만큼 정정할 수 있다.

통상적으로 디지털 데이터의 전송이나 기록/재생 중에는 발생하는 에러는 두가지 형태가 있으며, 그 중 하나는 랜덤 에러(random error)이고 나머지 하나는 연속하여 에러가 발생하는 버스트 에러(burst error)가 있다. 이런 에러를 효과적으로 정정하기 위하여 블록 코드(block code) 또는 프로덕트 코드(product code)를 사용하는데, 여기서는 C1코드 및 C2 코드를 사용한다고 가정한다. 위와 같은 구성을 갖는 종래의 에러정정장치에서는 도 4와 같은 블록 코드에서 첫 번째 C2코드에서 에러 정정을 수행하고, 두 번째 C1코드에서는 에러와 이레이저 정정을 수행하게 된다. 이는 상기 복조부114에서 재생되는 데이터를 중에서 에러가 발생하였을 경우, 이 데이터에 해당하는 변환데이터가 복조 데이터 테이블을 구비하는 롬313에 없을 경우에는 0 또는 FF를 출력하지만 에러가 발생하였음을 표시하기 위한 에러 플래그를 발생하지 못하기 때문이다. 따라서 상기 복조부114의 출력을 입력하는 C2복호부117은 상기 복조부114에서 에러플래그를 입력하지 못하므로, 이레이저 정정을 할 수 없게 된다. 이때 상기 리드 솔로몬 코드는 부가 정보 길이의 1/2 만큼 에러를 정정하고, 이레이저 정정일 경우에는 부가정보의 길이만큼 정정 할 수 있으므로, 상기 도 4에 도시된 바와 같이 상기 C2코드의 부가정보는 100이 되고 상기 C1코드의 부가정보는 16이 된다. 따라서 상기한 바와 같이 종래의 에러정정 장치에서 C2복호부117에서 에러만 정정하고 C1복호부118에서 에러와 이레이저를 정정하는 경우, 정정할 수 있는 블록 당 에러의 양은 $C2=5 \times 108=1040$ 및 $C1=16 \times 172=2752$ 바이트가 된다.

그러나 상기 C2복호부117 및 C1복호부118은 모두 에러 및 이레이저를 정정할 수 있는 능력을 갖는 디코더이다. 따라서 상기 종래의 복호화에서는 두 번째 코드에서 보통 버스트 에러를 정정하게 되는데, 첫 번째 코드에서도 이레이저를 정정할 수 있다면 에러 정정 능력은 매우 크게 향상될 것이다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 두 개의 에러 정정 코드를 사용하는 디지털 처리 시스템에서 두 코드에서 모두 에러 및 이레이저를 정정하여 에러 정정 효율을 높일 수 있는 장치 및 방법을 제공함에 있다.

상기 목적을 달성하기 위하여본 발명의 실시예에 따른 디지털 처리 시스템의 에러 정정장치는, 채널 데이터를 소스 데이터로 복조하며 복조시 에러 발생시 에러플래그를 발생하는 복조부와, 상기 복조데이터 및 에러플래그를 입력하여 에러 정정 가능한 코드 단위로 데이터를 구분하기 위한 동기신호를 검출하는 동기검출부와, 상기 동기신호에 행 단위로 상기 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 정정하는 제1복호기와, 상기 동기신호에 의해 열 단위로 상기 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 복호하는 제2복호기로 구성된 것을 특징으로 한다.

발명의 구성 및 작용

도 5는 본 발명의 실시예에 따른 디지털 처리시스템의 에러정정 장치의 구성을 도시하는 도면이다. 또한 상기 도 5와 같은 구성을 갖는 본 발명의 실시예에 따른 에러정정장치는 도 1에 도시된 바와 같은 디지털 처리장치에 사용될 수 있다. 그리고 상기 도 5와 같은 에러정정장치는 각각 채널 A 및 채널 B의 경로에 위치된다.

상기 도5를 참조하면, 복조부16은 해당하는 채널의 PLL에서 출력되는 직렬 데이터를 병렬 데이터로 변환한 후 변조된 데이터를 원래의 데이터로 복조한다. 또한 상기 복조부16은 상기 재생과정에서 발생하는 데이터의 에러 유무를 판단한 후 에러 발생시 에러 플래그를 발생한다. 따라서 본 발명의 실시예에 따른 복조부311은 8비트의 복조 데이터 및 에러플래그를 발생한다. 도 6은 본 발명의 실시예에 따른 복조부511의 구성을 도시하고 있다. 여기서 상기 기록매체에 기록되는 데이터의 변조코드(modulation code)는 8비트 데이터를 16비트로 변환하는 EFM 플러스 코드(Eight to Sixteen Modulation plus code)를 사용한다. 상기 도 6을 참조하면, 먼저 직렬변환기(Serial to Parallel Converter)611은 직렬클럭S_CLK에 의해 재생되는 직렬 데이터를 입력하며, 병렬클럭P_CLK에 의해 입력된 데이터를 8비트의 병렬 데이터로 변환 출력한다. 상기 메모리제어부612는 상기 병렬클럭P_CLK에 의해 상기 직렬변환부611에서 출력되는 8비트 병렬 데이터를 입력하며, 입력된 8비트의 병렬 데이터를 16비트의 병렬 데이터로 재 정렬하여 출력하고, 상기 16비트 병렬 데이터에 동기되는 리드제어신호(memory read enable signal)를 발생한다. 롬613은 복조 데이터 테이블(demodulation data table)을 구비하며, 상기 메모리제어부612에서 출력되는 16비트 데이터를 어드레스로 입력한다. 이때 상기 2^6 개의 가능한 코드워드 중에서 2^2 개의 코드워드를 사용하므로, 상기 롬613에서 저장되는 복조데이터 테이블에는 2^2 개의 올바른 변환 데이터가 저장되며, 나머지 영역에는 0 또는 FF가 저장된다. 따라서 상기 롬613은 상기 메모리제어부612에서 출력되는 16비트의 데이터를 어드레스로 입력하며, 상기 메모리제어부612에서 리드제어신호 신호 발생시 활성화되어 해당하는 어드레스 위치에 저장된 데이터를 리드하여 래치615에 출력한다. 상기 래치615는 상기 병렬클럭P_CLK에 의해 상기 롬613에서 출력되는 복조데이터를 래치하여 동기검출부513에 출력한다. 또한 롬614는 복조 에러 플래그 테이블(demodulation error flag table)을 저장하고 있다. 상기 복조 에러플래그 테이블은 2^2 개의 코드워드 영역에 0을 저장하고 그 이외의 영역에는 1을 저장하고 있다. 여기서 상기 에러플래그가 1인 경우에는 현재의 데이터가 에러임을 표시하는 하는 것이며, 상기 에러플래그가 0인 경우에는 현재 데이터가 정상 상태임을 표시하는 것이다. 상기 롬614는 상기 메모리제어부612에서 출력되는 16비트 데이터를 어드레스로 입력하며, 상기 메모리제어부612에서 리드제어신호 발생시 해당 어드레스 위치의 에러플래그를 리드하여 출력한다. 래치616은 상기 롬614에서 출력하는 에러 플래그를 동기검출부512에 출력한다. 따라서 상기 복조부511은 2^6 개의 코드워드 중에서 실제로 사용되고 있는 2^2 개의 코드워드를 제외한 데이터타가 에러로 인해 발생되었을 경우, 데이터 버스로는 8비트의 0 또는 FF가 출력되는 동시에 1비트의 에러플래그가 출력된다. 따라서 상기 복조부114는 상기 기록매체에서 재생된 16비트의 변조데이터를 원래의 8비트 데이터로 복조하는 동시에 에러 데이터 발생시 해당 데이터와 에러플래그를 출력한다.

상기 동기검출부512는 상기 복조부511에서 출력되는 복조데이터의 동기를 검출하여 동기 검출된 데이터와 함께 에러플래그를 출력한다. C2복호부513은 상기 동기검출된 데이터와 에러플래그를 검사하여 에러

및 이레이저 정정 기능을 수행하며, 에러정정이 이루어지지 않은 데이터에는 해당 데이터와 에러 플래그를 발생한다. C1복호부514는 상기 C2복호부513의 출력을 입력하며, 에러 데이터 및 이레이저 데이터를 정정하여 최종적으로 오류가 정정된 데이터를 출력한다. 여기서 상기 C2복호부513 및 C1복호부514는 Advanced Hardware Architectures 사에서 제조 및 판매하는 REED-SOLOMON ECC COPROCESSOR IC인 AHA4310, AHA4510, AHA4810, AHA4010을 사용할 수 있다.

상기와 같은 구성을 참조하여 종래의 에러 정정 동작을 살펴보면, 상기 복조부511은 상기 도 6에 도시한 바와 같이 재생되는 직렬 데이터를 수신하여 병렬 데이터로 변환한다. 이때 상기 재생되는 직렬 데이터는 16비트의 변조 데이터가 되며, 직렬변환기611은 이를 8비트 단위로 병렬 변환하여 출력한다. 그러면 메모리제어부612는 이를 16비트 병렬 데이터로 재정렬시켜 롬613 및 614의 어드레스로 인가한다. 이때 상기 롬613은 복조 데이터 테이블을 구비하며, 상기 메모리제어부612가 지정하는 위치에 저장된 8비트의 복조 데이터를 리드하여 출력한다. 그리고 상기 롬614는 에러플래그 테이블을 구비하며, 상기 메모리제어부612가 지정하는 위치에 저장된 1비트의 에러플래그를 리드하여 출력한다. 따라서 상기 복조부511은 16비트의 변조 데이터를 8비트 데이터로 복조하며, 이때 에러가 발생되면 에러플래그를 세트시킨다. 본 발명의 실시예에서 사용된 채널 코드는 상기한 바와 EFM 플러스 코드로서, 8비트의 데이터가 16비트의 채널 데이터로 바뀌는 고정 길이를 갖는 코드이다. 즉, 상기한 바와 같이 2^8 개의 코드 가운데 2^6 개의 코드만 사용하여 전송하거나 기록/재생하는 것이다. 따라서 재생 데이터 중에서 에러가 발생하여 하나의 코드가 다른 코드로 되었을 경우에는 에러가 발생했는지 판단할 수 없지만 사용되지 않은 코드가 되었을 경우에는 에러가 발생하였음을 알 수 있다. 따라서 상기 에러플래그 테이블을 저장하는 롬614는 상기 롬613과 연동되어 액세스 동작을 수행하며, 이때 사용하지 않는 코드가 지정될 시 에러플래그를 세트시키게 된다.

상기와 같이 복조부511에서 발생하는 8비트 병렬 데이터 및 1비트 에러플래그는 동기검출부512에 인가되며, 상기 동기검출부512는 전송 또는 재생되는 데이터 열 중에서 동기신호를 검출하여 상기 C2복호부513에 에러 및 이레이저를 정정할 수 있는 코드 단위로 데이터를 구분하는 동기신호를 발생한다. 상기 동기검출부512는 상기와 같이 검출된 동기신호와 함께 데이터 및 에러플래그를 상기 C2복호부513에 출력한다.

그러면 상기 C2복호부513은 상기 동기검출부18에서 출력하는 데이터와 동기신호를 이용하여 에러와 이레이저를 정정한다. 이때 상기 도 4에 도시된 블록코드에서 행 방향으로 모두 10바이트의 부가정보가 위치되므로, 상기 C2복호부513은 5개의 에러나 10개의 이레이저를 정정할 수 있다. 즉, 상기 C2복호부513은 상기 복조부511에서 복조 데이터와 함께 에러플래그를 발생하여 출력하므로 에러 및 이레이저 정정을 동시에 수행할 수 있으며, 부가정보가 10바이트로 구성되어 있으므로 최대 10개의 이레이저를 정정할 수 있다. 상기 C2복호부513은 자신의 정정 능력을 벗어난 에러가 발생한 경우, 에러플래그와 함께 해당 데이터를 상기 C1복호부514에서 최종적으로 정정하게 된다. 이때 상기 도 4의 블록코드에서 열 방향으로 모두 16바이트의 부가정보가 위치되므로, 상기 C1복호부514는 16개의 이레이저를 정정할 수 있다.

따라서 본 발명의 실시예에 따라 2개의 에러정정 기능을 수행하는 복호부를 구비하는 디지털 처리 시스템에서 각 복호부들이 모두 에러 및 이레이저를 정정할 수 있어 에러 정정 기능을 향상시키게 될 수 있다. 즉, 상기 도 4와 같은 블록코드의 이레이저를 정정하는 경우, 상기 C2복호부513은 $C2=10 \times 208=2080$ 바이트의 이레이저를 정정할 수 있고, C1복호부514는 $16 \times 172=2752$ 바이트의 이레이저를 정정할 수 있다.

본 발명의 실시예에서는 2개의 복호기들을 구비하는 디지털 처리 시스템의 예를 도시하고 있으나, 3개 이상의 복호기들을 구비하는 시스템에서도 동일하게 적용할 수 있다.

발명의 효과

상술한 바와 같이 2개의 복호기를 구비하는 디지털 처리 시스템에서 C2코드에서 정정할 수 있는 에러의 개수를 증가시킬 수 있다. 이런 경우 산술적으로 2배의 에러 정정 효과를 갖지만, 실제적으로는 C2에서 에러가 많이 정정되므로 상대적으로 C1의 에러 정정 부담을 감소시킬 수 있으며, 이로 인해 시스템에서 정정하지 못할 에러의 발생률을 현저하게 감소시킬 수 있다.

(57) 청구의 범위

청구항 1. 디지털 처리 시스템의 에러 정정장치에 있어서, 채널 데이터를 소스 데이터로 복조하며 복조시 에러 발생시 에러플래그를 발생하는 복조부와, 상기 복조데이터 및 에러플래그를 입력하며 에러 정정 가능한 코드 단위로 데이터를 구분하기 위한 동기신호를 검출하는 동기검출부와, 상기 동기신호에 행 단위로 상기 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 정정하는 제1복호기와, 상기 동기신호에 의해 열 단위로 상기 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 복호하는 제2복호기로 구성된 것을 특징으로 하는 디지털 처리 시스템의 에러 정정 장치.

청구항 2. 제1항에 있어서, 상기 복조부가 복조데이터를 저장하는 테이블을 저장하는 메모리 및 에러플래그를 저장하는 에러플래그 테이블을 저장하는 메모리를 구비하며, 수신되는 이어프램 변조데이터를 -상기 메모리의 어드레스로 하여 복조데이터 및 에러플래그를 발생하는 것을 특징으로 하는 디지털 처리 시스템의 에러 정정 장치.

청구항 3. 디지털 처리 시스템의 에러 정정 방법에 있어서, 채널 데이터를 소스 데이터로 복조하며 복조시 에러 발생시 에러플래그를 발생하는 과정과, 상기 복조데이터 및 에러플래그를 입력하여 에러 정정 가능한 코드 단위로 데이터를 구분하기 위한 동기신호를 검출하는 과정과, 상기 동기신호에 행 단위로 상기 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 정정하는 제1복호과정과, 상기 동기신호에 의해 열 단위로 상기 복조데이터 및 에러플래그를 디코딩하여 에러 및 이레이저를 복호하는 제2복호과정으로 이루어짐을 특징으로 하는 디지털 처리 시스템의 에러 정정 방법.

청구항 4. 제3항에 있어서, 8비트 단위로 입력되는 이에프엠 변조데이터를 16비트의 데이터로 재정렬하는 과정과, 상기 재정렬된 16비트 데이터를 복조데이터를 저장하는 메모리의 테이블의 어드레스로 인가하여 복조데이터를 발생하는 과정과, 상기 재정렬된 16비트의 데이터를 에러플래그를 저장하는 에러플래그 테이블을 저장하는 메모리의 어드레스로 인가하여 에러플래그를 발생하는 과정으로 이루어짐을 특징으로 하는 디지털 처리 시스템의 에러 정정 방법.

도면

도면1

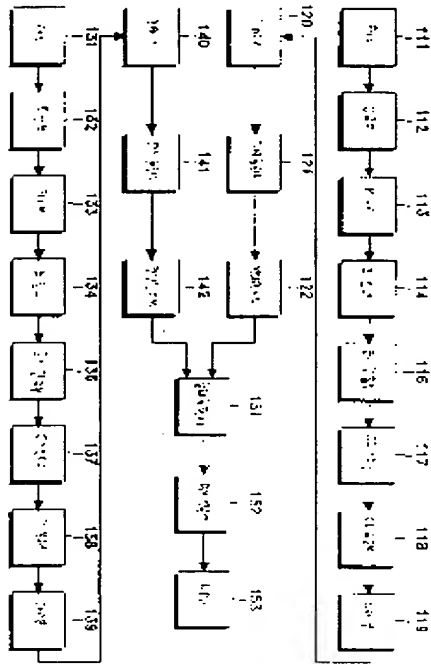


Fig 2

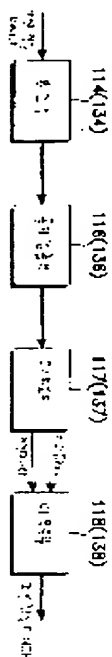


Fig 3

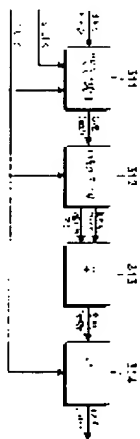


도표4

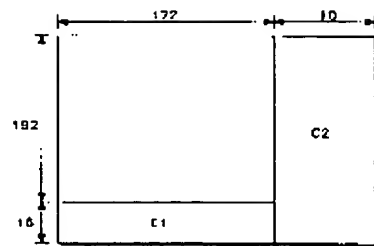


도표5

